

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-085357

(43)Date of publication of application : 18.04.1987

(51)Int.Cl.

G06F 12/14

(21)Application number : 60-226616

(71)Applicant : NEC CORP

(22)Date of filing : 09.10.1985

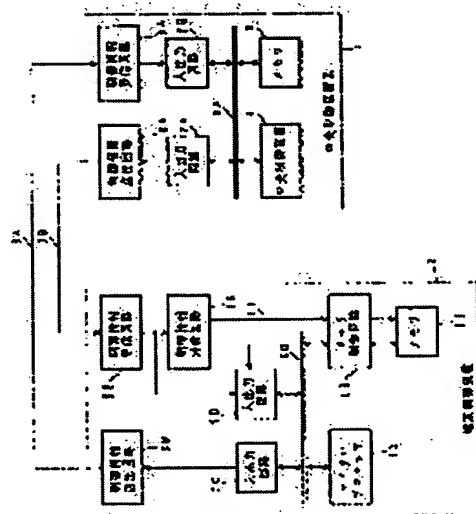
(72)Inventor : YAGI HISAO

(54) MEMORY PROTECTING DEVICE

(57)Abstract:

PURPOSE: To protect the specified area of the memory of the microprocessor of a terminal control equipment, from the program of the microprocessor by making write to a memory area possible or impossible, based on a command from a central control unit.

CONSTITUTION: A central control unit 4 sends out successively a fixed data write instruction to the terminal control equipment 2. The equipment 2 reads this instruction through an inputting/outputting circuit 7D by a microprocessor 12, and writes a data in the fixed data area of a memory 14 in accordance with the instruction. When the write of the fixed data of a necessary portion is ended, the unit 4 sends out a write inhibiting instruction to the equipment 2. When the write inhibiting instruction is detected by a control information analyzing circuit 10, a memory write permitting signal line 11 becomes an inhibited state. As a result, by a memory controlling circuit 13, the writing to the fixed data area from the processor 12 becomes impossible, and the fixed data area is protected completely until a write permitting instruction is received again.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-85357

⑤ Int. Cl.⁴
G 06 F 12/14識別記号
3 1 0庁内整理番号
B-8219-5B

④ 公開 昭和62年(1987)4月18日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 メモリ保護装置

⑭ 特 願 昭60-226616

⑮ 出 願 昭60(1985)10月9日

⑯ 発 明 者 八 木 久 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑱ 代 理 人 弁理士 井出 直孝

明 細 書

1. 発明の名称

メモリ保護装置

2. 特許請求の範囲

(1) 中央制御装置と、この中央制御装置に接続され、データ処理手段を有する端末制御装置とを備えた制御系統に含まれ、

上記データ処理手段が利用するメモリの所定の領域への書き込みを禁止状態に設定するメモリ制御手段を有するメモリ保護装置において、

上記メモリ制御手段は、

上記データ処理手段の制御によっては禁止状態を解除することが不能であり、上記中央制御装置からの指令により禁止状態を解除できる構成であることを特徴とするメモリ保護装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は中央制御装置と端末制御装置とで構成される制御系統の制御方式に関する。特に、端末制御装置の有するマイクロプロセッサのメモリ保護装置に関する。

(概要)

本発明は、中央制御装置と端末制御装置とを有する制御系統の端末制御装置に含まれるデータ処理手段の有するメモリの所定領域への書き込みを規制するメモリ保護装置において、

この書き込みの禁止および許可を中央制御装置からの指令に基づいて支配することにより、

簡単な構成のプログラムを用いて確実にメモリ保護を実行できるようにしたものである。

(従来の技術)

中央制御装置とマイクロプロセッサを有する端末制御装置とを含むデータ処理系統では、端末制御装置のマイクロプロセッサのメモリ保護をマイクロプロセッサ内のプログラムで従来行われてい

た。その手段としてはプロテクションキーによる方式が知られている。この方式では、メモリエリアを複数のブロックに分け、各ブロックは複数ビットからなるストレージキーレジスタを有し、ストレージキーレジスタの情報であるストレージキーはプログラム内のスーパーバイザプログラムによってのみ格納される。また、マイクロプロセッサより実行される各プログラムには、前記ストレージキーによる保護を解除するプロテクションキーを割り当て、プロテクションキーがストレージキーと等しいときまたはいずれかが0のときに、プログラムがアクセスしようとしているメモリブロックへの書き込みが可能になる。

〔発明が解決しようとする問題点〕

このようなマイクロプロセッサのメモリ保護方式では、プログラムの構造にスーパーバイザプログラムと、それにより管理されるプロブレムプログラムを持たせる必要があり、プログラム構造が階層構造となって複雑になり、多くの制御機器に組み込まれる小規模なマイクロプロセッサシステム

には通さない。また、マイクロプロセッサのメモリ保護をマイクロプロセッサ内のプログラム自身によって行うことになり、予期し得ない潜在的なプログラム不良に対しては保護効果が十分でない欠点がある。

本発明はこのような欠点を除去するもので、構成が簡単でかつメモリ保護効果が確実なメモリ保護装置を提供することを目的とする。

〔問題点を解決するための手段〕

本発明は、中央処理装置と、この中央処理装置に接続され、データ処理手段を有する端末制御装置とを備えた制御系統に含まれ、上記データ処理手段が利用するメモリの所定の領域への書き込みを禁止状態に設定するメモリ制御手段を有するメモリ保護装置において、上記メモリ制御手段は、上記データ処理手段の制御によっては禁止状態を解除することが不能であり、上記中央処理装置からの指令により禁止状態を解除できる構成であることを特徴とする。

〔作用〕

中央制御装置からメモリ書き込み禁止命令を受信したときには、次のメモリ書き込み許可命令を受信するまでの間は制御手段により端末制御装置のマイクロプロセッサのメモリの一部または全領域へのマイクロプロセッサからの書き込みは不可能になり、メモリ書き込み許可命令を受信したときには、次のメモリ書き込み禁止命令を受信するまでの間はメモリ領域へのマイクロプロセッサからの書き込みは制御手段により可能になる。

〔実施例〕

以下、本発明の実施例を図面に基づいて説明する。

第1図は本発明実施例の構成を示すブロック構成図である。この実施例は、中央制御装置4、メモリ5、アドレス・データバス6Aおよび入出力回路7Aおよび7Bを含む中央制御装置系1と、マイクロプロセッサ12、メモリ制御回路13、メモリ14、アドレスデータバス6B、入出力回路7Cおよび7Dと制御情報分析回路10とを含む端末制

御装置2とを備え、中央制御装置系1と端末制御装置2とは制御情報転送路3Aおよび3Bで接続され、制御情報送出回路8Aおよび8Bと制御情報受信回路9Aおよび9Bとを介して制御情報の授受を行う。

第2図は端末制御装置2のメモリ14の構成を示すメモリ領域図である。ROM領域22には、プログラムが格納されプログラムは固定データ領域24に格納された固定データおよび可変領域23を使用し動作する。この固定データは通常プログラムにより読み出しに使用されるだけで、通常は書き込みが行われることはない。固定データの書き込みは端末制御装置2の初期設定時または運転途中で固定データの一部を変更する必要が生じたとき、中央制御装置4により制御情報転送路3Bを経由して転送される固定データ書き込み命令をマイクロプロセッサ12が入出力回路7Dを介し受信した場合に限られる。

次に、この実施例の動作を第1図に基づいて説明する。

中央制御装置4は固定データの書き込みが必要となった場合に、端末制御装置2にマイクロプロセッサからの固定データ領域24への書き込み許可命令を送出する。制御情報転送路3Bを經由し転送される書き込み許可命令は端末制御装置2内の制御情報受信回路9Bで受信された後に、制御情報分析回路10で命令分析される。制御情報分析回路10では、中央制御装置4からの命令が書き込み許可または禁止命令であるかを検出し、書き込み許可命令の場合には、メモリ書き込み許可信号線11を許可状態にし、書き込み禁止命令の場合には禁止状態にする。また、それら以外の命令では、メモリ書き込み許可信号線11の状態が変化すること無く、命令は入出力回路7Dを介しマイクロプロセッサ12により読みとられ処理される。すなわち、書き込み許可命令はメモリ書き込み許可信号線11を許可状態にし、メモリ制御回路13によりメモリ14の固定データ領域24へのマイクロプロセッサ12からの書き込みを可能にする。

ひきつづき、中央制御装置4は端末制御装置2

に対し固定データ書き込み命令を順次送出する。端末制御装置2では、マイクロプロセッサ12によりこの命令を入出力回路7Dを介して読み取り、命令に従い順次固定データ領域24にデータを書き込む。中央制御装置4は必要な分の固定データの書き込みを終了すると、書き込み禁止命令を端末制御装置2に送出する。書き込み禁止命令を制御情報分析回路10が検出すると、メモリ書き込み許可信号線11を禁止状態にする。これにより、メモリ制御回路13はマイクロプロセッサ12からの固定データ領域24への書き込みを不可能にし、再び書き込み許可命令を受信するまで固定データ領域24は完全に保護される。

(発明の効果)

本発明は以上説明したように、中央制御装置と端末制御装置との間の制御情報に端末制御装置のマイクロプロセッサのメモリの一部または全領域へのマイクロプロセッサからの書き込み禁止命令および許可命令を設け、また端末制御装置内にハードウェアによる制御情報受信回路、制御情報分

析回路およびメモリ書き込み制御回路を設け、中央制御装置の指令に基づきメモリ領域への書き込みを可能または不可能にすることにより、端末制御装置のマイクロプロセッサのメモリの特定領域または全領域をマイクロプロセッサのプログラムから保護する効果がある。

特に、通常は読み出しだけに使われ書き込みが行われず、マイクロプロセッサの初期設定時および運転中に変更の生じた時のみ上位の中央制御装置からマイクロプロセッサに書き込み要求のあるようなマイクロプロセッサのメモリ内の固定データ領域の保護に本発明は有効である。

4. 図面の簡単な説明

第1図は本発明実施例の構成を示すブロック構成図。

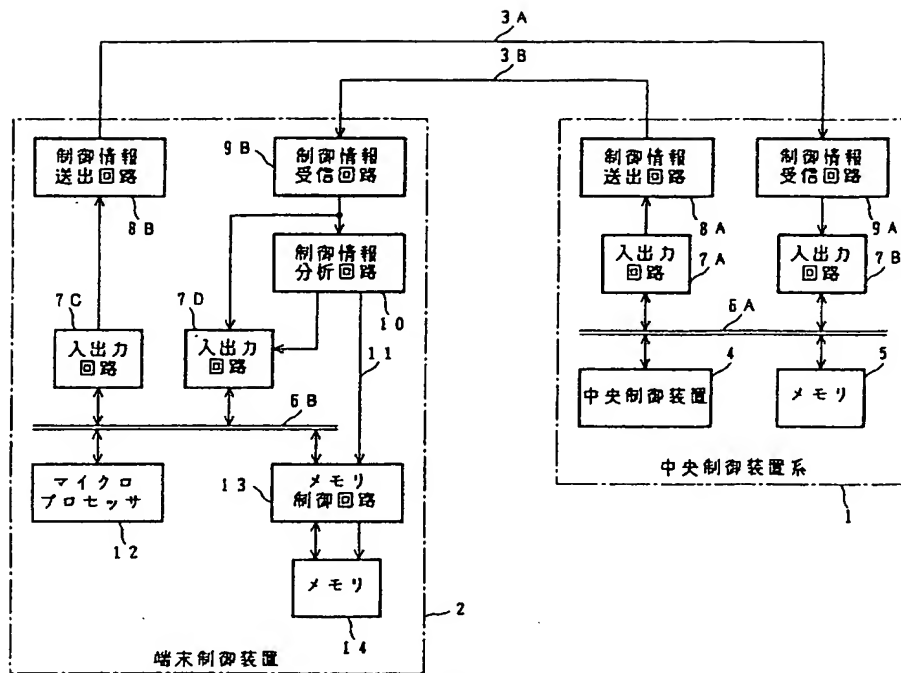
第2図はマイクロプロセッサ内メモリの構成図。

1…中央制御装置系、2…端末制御装置、3A、3B…制御情報転送路、4…中央制御装置、5、14、21…メモリ、6A、6B…アドレスデータバ

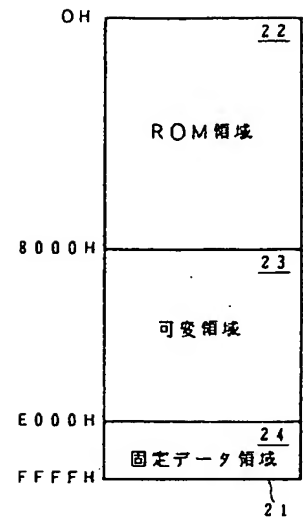
ス、7A、7B、7C、7D…入出力回路、8A、8B…制御情報送出回路、9A、9B…制御情報受信回路、10…制御情報分析回路、11…メモリ書き込み許可信号線、12…マイクロプロセッサ、13…メモリ制御回路、22…ROM領域、23…可変領域、24…固定データ領域。

特許出願人 日本電気株式会社

代理人 弁理士 井出直孝



実施例の構成
第 1 図



メモリ 14 の構成
第 2 図